

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-021712

(43)Date of publication of application : 24.01.1990

(51)Int.Cl.

H03H 17/02

(21)Application number : 63-170869

(71)Applicant : SONY CORP

(22)Date of filing : 11.07.1988

(72)Inventor : ROJIYAA RAGADETSUKU

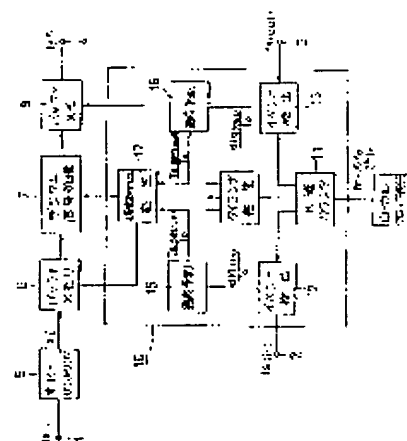
(54) SAMPLING FREQUENCY CONVERTER

(57)Abstract:

PURPOSE: To obtain an output sample string with high accuracy by applying prediction calculation to a ratio of each of an input sampling period and an output sampling period to a local clock period by means of the accumulation processing of errors and applying the interpolation processing to an input sample string based on a filter coefficient address data obtained through the accumulation of divided values.

CONSTITUTION: Ratio data obtained by prediction calculation means 15, 16 calculating the prediction of the ratio of the input sampling period and the local clock period and the ratio of the output sampling period and the local clock period are divided with each other and the results are accumulated. Then a coefficient address generating means 17 calculating the filter coefficient address data required for the interpolation processing and giving the result to a digital signal processing means 7 and a memory control means detecting overflow

of the result of the accumulation processing and applying the write/read control to each buffer memory are provided. Moreover, a local clock generating means outputting a local clock signal with a period of $1/\text{integral number } (2N)$ of the local clock period is provided. Thus, the sampling frequency conversion with optional conversion ratio is implemented with high accuracy and simple constitution.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-21712

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月24日

H 03 H 17/02

A

8837-5 J

審査請求 未請求 請求項の数 1 (全12頁)

⑮ 発明の名称 標本化周波数変換装置

⑯ 特 願 昭63-170869

⑰ 出 願 昭63(1988)7月11日

⑱ 発 明 者 ロジャー ラガデツク 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 小 池 晃 外2名

明細書

1. 発明の名称

標本化周波数変換装置

2. 特許請求の範囲

入力サンプル列を入力標本化周波数の整数(2ⁿ)倍の標本化周波数のサンプル列に変換するオーバーサンプリング処理手段と、

上記オーバーサンプリング処理手段から出力されるサンプル列のサンプル値を一時記憶する第1のバッファメモリと、

入力標本化周期および出力標本化周期よりも短いローカルクロック周期で動作して、入力標本化周波数の2ⁿ倍の標本化周波数に関するローパスフィルタのインパルス・レスポンス特性を与えるフィルタ係数による補間演算処理を上記第1のバッファメモリから読み出されるサンプル列に施して、出力標本化周波数を有する出力サンプル列の各サンプルポイントにおける補間サンプル値を演算するデジタル信号処理手段と、

上記デジタル信号処理手段から出力される出力サンプル列の補間サンプル値を一時記憶する第2のバッファメモリと、

上記ローカルクロック周期で量子化した標本化周期の予測標本化周期に対する誤差値を累積加算することにより、上記入力標本化周期と上記ローカルクロック周期との比および上記出力標本化周期と上記ローカルクロック周期との比を予測演算する予測演算手段と、

上記予測演算手段にて得られる上記各比データを除算し、その値を累積加算することにより、上記補間処理に必要なフィルタ係数アドレスデータを算出して上記デジタル信号処理手段に与える係数アドレス発生手段と、

上記予測演算手段あるいは係数アドレス発生手段における各累積加算処理結果のオーバーフローを検出して上記各バッファメモリに対する書き込み読み出し制御を行うメモリ制御手段と、

上記ローカルクロック周期の1/整数(2ⁿ)の周期のローカルクロック信号を出力するローカル

クロック発生手段とを備えて成る標準化周波数変換装置。

3. 発明の詳細な説明

以下、本発明を次の順序で説明する。

A 産業上の利用分野

B 発明の概要

C 従来の技術

D 発明が解決しようとする課題

E 課題を解決するための手段

F 作用

G 実施例

G: 標準化周波数変換装置の全体構成の説明
(第1図)

G: 標準化周波数変換装置の各構成要素の説明
(第2図～第7図)

G₁₋₁: デジタル信号処理部(第2図)

G₁₋₂: ローカルクロック発生部

G₁₋₃: 変換制御部(第3図～第7図)

G₁₋₃₋₁: イベント検出部(第3図、第4図)

精度の高い出力サンプル列を得るようにしたものである。

C 従来の技術

従来より、標準化周波数が44.1kHzのPCMオーディオ信号を記録したコンパクトディスク(CD)、入力オーディオ信号を44.056kHzの標準化周波数で標準化してPCMデータに変換する処理およびその逆変換処理を行うPCMプロセッサや、標準化周波数に32kHzを採用したAモードあるいは48kHzを採用したBモードでPCMオーディオ信号を放送する衛星放送システム等、それぞれ異なる標準化周波数を採用した各種PCM信号伝送方式が実用化されている。そして、上記各種PCM信号伝送方式におけるサンプリング周波数の異なるPCM信号に互換性を持たせるためには、標準化周波数(サンプリング・レート)を変換する標準化周波数変換装置が必要とされる。

上記標準化周波数変換装置としては、PCM信号をデジタル・アナログ変換して得られるアナ

G₁₋₁₋₁: 適応予測処理部(第5図、第6図)

G₁₋₁₋₂: 係数アドレス発生部(第7図)

H 発明の効果

A 産業上の利用分野

本発明は、入力サンプル列を異なる標準化周波数の出力サンプル列に変換する標準化周波数変換装置に関し、例えば、各種PCMオーディオ信号伝送方式間等での標準化周波数の変換処理に適用される。

B 発明の概要

本発明は、入力サンプル列を異なる標準化周波数の出力サンプル列に変換する標準化周波数変換装置において、入力標準化周期とローカルクロック周期との比および出力標準化周期とローカルクロック周期との比を誤差値の累積加算処理にて予測演算し、上記各比データの除算値を累積加算することにより得られるフィルタ係数アドレスデータに基づいて入力サンプル列に補間処理を施して、

ログ信号を再び所望の標準化で標準化してPCMデータに変換するものがある。この標準化周波数変換装置では、デジタル・アナログ変換器およびアナログ・デジタル変換器を必要とするので、構成が複雑で装置の価格が高くなるばかりでなく、上記デジタル・アナログ変換器およびアナログ・デジタル変換器を信号が通過するために、信号の質(例えば音質)が劣化するという欠点があった。

また、PCM信号をアナログ信号に変換することなくデジタル信号のままで標準化周波数を変換する標準化周波数変換装置として、第8図に示す如き構成のものが知られている(特開昭57-115015号公報、特開昭61-204700号公報参照)。

すなわち、従来の標準化周波数変換装置を示す第8図のブロック図において、(101)は変換しようとする入力サンプル列 $\{x_i\}$ の標準化周波数 $(f_{s(i)})$ を有する標準化クロック信号 $(F_{s(i)})$ が供給されるクロック信号入力端子である。このクロック信号入力端子(101)に供給される標準化クロック信号 $(F_{s(i)})$ は、その周波数 $(f_{s(i)})$ を

2^M倍(例えば2⁷倍)に通倍するPLL回路(102)に与えられている。上記PLL回路(102)の出力側に得られる2^M・f_{s(n)}の周波数の信号は、カウンタ(103)のクロック入力端子(C)に供給される。また、(104)は得ようとする出力サンプル列{y_j}の標本化周波数(f_{s(n)})を有する標本化クロック信号(F_{s(n)})が供給されるクロック信号入力端子である。このクロック信号入力端子(104)に供給される標本化クロック信号(F_{s(n)})は、上記カウンタ(103)のリセット入力端子(R)に供給されるとともに、上記カウンタ(103)のカウンタデータをラッチするレジスタ(105)のラッチ端子(L)にラッチタイミング信号として供給されている。

なお、上記カウンタ(103)は、1/f_{s(n)}をカウント周期とするカウント動作を行うので、Nビット長を必要とする。

上記カウンタ(103)は、そのカウンタデータが出力標本化周波数(f_{s(n)})で上記レジスタ(105)にラッチされ、その直後にリセットされて、続けて0からのカウントをスタートする。従って、上

列{y_j}から出力サンプル列{y_j}の希望する出力サンプルポイントのサンプル値を多項式補間演算やデジタル・フィルタリング等の手法により次のように算出することができる。

例えば、多項式補間演算による直線補間(1次補間)によって出力サンプル値の近似値を算出する手法を示す第10図の模式図において、(x_i)、(x_{i-1})は入力サンプル列{x_i}の各振幅値、(y_j)は出力サンプル列{y_j}の各振幅値、(φ_j)は出力サンプルポイントの直前の入力サンプルポイントに対する位相(0 ≤ φ_j < 1)であり、出力サンプルポイントの振幅値(y_j)は、

$$y_j = x_{i-1} + (x_i - x_{i-1}) \cdot \phi_j$$

にて表され、出力サンプルポイントの位相データ(φ_j)が求まれば、入力サンプル列の各振幅値(x_i)、(x_{i-1})から算出することができる。

また、デジタル・フィルタリングを応用する手法では、第11図の模式図に示すように、変換比がL/M(L, M: 整数)の標本化周波数変換を次の手順で行うことができる。

記レジスタ(105)に保存されるデータは、結果的に出力サンプルポイントの直前の入力サンプルポイントに対する位相を示している(ただし、この位相は瞬時の値であり、2^Mを1として正規化したものとして考える)。上記レジスタ(105)のホールドデータは、演算回路(106)に与えられている。

また、(107)は変換しようとする標本化周波数(f_{s(n)})の入力サンプル列{x_i}が供給されるデータ入力端子である。このデータ入力端子(107)に供給される入力サンプル列{x_i}は、上記演算回路(106)に供給され、この演算回路(106)にて所望の出力標本化周波数(f_{s(n)})の出力サンプル列{y_j}に変換されて、データ出力端子(108)から出力される。

上記レジスタ(104)に得られる位相データ(φ_j)と入力サンプル列{x_i}と出力サンプル列{y_j}との関係は、時間軸上で第9図のように示され、上記位相データ(φ_j)をパラメータあるいは制御量として、上記演算回路(106)にて、入力サン

まず、入力サンプル列{x_i}の各サンプル間に(L-1)個の0値をもつサンプルを充填する。この処理の結果、見掛け上標本化周波数はL倍に上昇するが、サンプル列のもつ周波数スペクトルは変化しない。次に、このサンプル列を(L/2)倍の標本化周波数までの範囲で、入力標本化周波数(f_{s(n)})および出力標本化周波数(f_{s(n)})のうちの低い方のもつ信号帯域だけを通過域とするようなローパスフィルタの特性を有するインパルス・レスポンスからなる係数列(K₀, K₁, K₂, ..., K_r, ..., K_{r-1}, K_r)とたたみ込みを行うことによってL倍に補間されたサンプル列が得られる。

上記L倍に補間されたサンプル列{y_j}を得るためのたたみ込み演算処理は、

$$y_j = \dots + x_{i-2} \cdot K_{r-2-L} \cdot \phi_j + x_{i-1} \cdot K_{r-1-L} \cdot \phi_j + x_i \cdot K_{r-L} \cdot \phi_j + x_{i+1} \cdot K_{r-1-L} \cdot \phi_j + \dots$$

$$[\phi_j = \phi/L, 1/L, 2/L, \dots, (L-1)/L]$$

にて示され、1つの出力サンプルを算出するためにはL個おきに係数を抽出して積和演算を行えば

よく、積和演算機能を有するディジタル信号処理用プロセッサ(DSP: Digital Signal Processor)にて行われる。なお、上記DSPによるサンプル列 $\{y_i\}$ を得るためのたたみ込み演算処理には、入力サンプル列 $\{x_i\}$ の標本化周波数 $(f_{s(i,n)})$ および/または出力サンプル列 $\{y_i\}$ の標本化周波数 $(f_{s(o,n)})$ を適倍することにより形成される上記DSPの駆動に適した高速クロック信号が用いられる。

D 発明が解決しようとする課題

ところで、上述の如くPLL回路にて入力サンプル列 $\{x_i\}$ の標本化周波数 $(f_{s(i,n)})$ の 2^M 倍に適倍して形成されるクロック信号を用いて、出力サンプルポイントの直前の入力サンプルポイントに対する位相について 2^M を1として正規化した位相データ (ϕ_i) を求め、上記位相データ (ϕ_i) をバをパラメータあるいは制御量として入力サンプル列 $\{x_i\}$ から希望する出力サンプルポイントのサンプル値を近似的に算出して出力サンプル

列 $\{x_i\}$ から出力サンプル列 $\{y_i\}$ の各サンプル値を近似的に算出するためのたたみ込み演算処理を行うDSPは、上記入力サンプル列 $\{x_i\}$ の標本化クロック信号 $(P_{s(i,n)})$ および/または出力サンプル列 $\{y_i\}$ の標本化クロック信号 $(P_{s(o,n)})$ から形成される高速クロック信号で動作するために、同期が困難になるという問題点がある。

また、従来の標本化周波数変換装置では、オーバーサンプリング制御によるアベレージング処理、例えば、

$$\frac{1 - Z^{-n}}{1 - Z^{-1}} = 1 + Z^{-1} + Z^{-2} + \dots + Z^{-(n-1)}$$

の演算処理にてアベレージングを行っていたので、ステップ状の位相誤差が発生した場合に、 n に依存した位相制御量になって上記位相誤差に対応するステップ状の位相制御量とならず制御エラーが残ってしまうという問題点があった。

そこで、本発明は、上述の如き従来の問題点を鑑み、任意の変換比の標本化周波数変換を高い精

度で且つ簡単な構成で行い得るようにした新規な構成の標本化周波数変換装置を提供することを目的とするものである。

列 $\{y_i\}$ を得るようにした従来の標本化周波数変換装置では、出力サンプル値の近似誤差を小さくするのに、上記PLL回路の通倍比を高めてクロック信号の周波数を上昇させ、上記位相データ (ϕ_i) の分解精度を高める必要がある。また、上記入力サンプル列 $\{x_i\}$ から出力サンプル列 $\{y_i\}$ の各サンプル値を近似的に算出するためのDSPによるたたみ込み演算処理には、上記入力サンプル列 $\{x_i\}$ の標本化周波数 $(f_{s(i,n)})$ および/または上記出力サンプル列 $\{y_i\}$ の標本化周波数 $(f_{s(o,n)})$ を適倍した高速クロック信号を必要とする。

このように従来の標本化周波数変換装置では、上記クロック信号を形成するために、高速で動作するPLL回路を必要とし、しかも、このPLL回路は入力サンプル列 $\{x_i\}$ の標本化クロック信号 $(P_{s(i,n)})$ および/または出力サンプル列 $\{y_i\}$ の標本化クロック信号 $(P_{s(o,n)})$ の周波数変動に追従し得る十分に広いキャプチャレンジを必要とするという問題点がある。また、上記入力サ

度で且つ簡単な構成で行い得るようにした新規な構成の標本化周波数変換装置を提供することを目的とするものである。

E 課題を解決するための手段

本発明に係る標本化周波数変換装置は、上述の目的を達成するために、入力サンプル列を入力標本化周波数の整数(2^M)倍の標本化周波数のサンプル列に変換するオーバーサンプリング処理手段と、上記オーバーサンプリング処理手段から出力されるサンプル列のサンプル値を一時記憶する第1のバッファメモリと、入力標本化周期および出力標本化周期よりも短いローカルクロック周期で動作して、入力標本化周波数の 2^M 倍の標本化周波数に関するローパスフィルタのインパルス・レスポンス特性を与えるフィルタ係数による補間演算処理を上記第1のバッファメモリから読み出されるサンプル列に施して、出力標本化周波数を有する出力サンプル列の各サンプルポイントにおける補間サンプル値を演算するディジタル信号処理

手段と、上記デジタル信号処理手段から出力される出力サンプル列の補間サンプル値を一時記憶する第2のバッファメモリと、上記ローカルクロック周期で量子化した標本化周期の予測標本化周期に対する誤差値を累積加算することにより、上記入力標本化周期と上記ローカルクロック周期との比および上記出力標本化周期と上記ローカルクロック周期との比を予測演算する予測演算手段と、上記予測演算手段にて得られる上記各比データを除算し、その値を累積加算することにより、上記補間処理に必要なフィルタ係数アドレスデータを算出して上記デジタル信号処理手段に与える係数アドレス発生手段と、上記予測演算手段あるいは係数アドレス発生手段における各累積加算処理結果のオーバーフローを検出して上記各バッファメモリに対する書き込み読み出し制御を行うメモリ制御手段と、上記ローカルクロック周期の1/整数(2^M)の周期のローカルクロック信号を出力するローカルクロック発生手段とを備えて成ることを特徴としている。

手段にて得られる上記ローカルクロック周期に対する上記入力標本化周期および上記出力標本化周期の各比データを除算し、その値を累積加算することにより、上記補間処理に必要なフィルタ係数アドレスデータを算出する。

さらに、この標本化周波数変換装置におけるメモリ制御手段では、上記予測演算手段あるいは係数アドレス発生手段における各累積加算処理のオーバーフローを検出して、上記オーバーサンプリング処理により得られるサンプル列のサンプル値を一時記憶する第1のバッファメモリおよび上記補間演算処理により得られる出力サンプルポイントの各サンプル補間値を一時記憶する第2のバッファメモリに対する書き込み読み出し制御を上記各累積加算処理のオーバーフロー検出出力に応じて行って、所望のタイミングで各サンプル列を上記各バッファメモリから読み出す。

G 実施例

以下、本発明に係る標本化周波数変換装置の一

F 作用

本発明に係る標本化周波数変換装置では、入力サンプル列をオーバーサンプリング処理により入力標本化周波数の整数(2^M)倍の標本化周波数に変換したサンプル列に対して、入力標本化周期および出力標本化周期よりも短いローカルクロック周期で動作するデジタル信号処理手段にて、上記入力標本化周波数の 2^M 倍の標本化周波数に関するローパスフィルタのインパルス・レスポンス特性を与えるフィルタ係数による補間演算処理を施すことにより、出力サンプルポイントにおける補間サンプル値を演算する。

また、この標本化周波数変換装置では、予測演算手段にてローカルクロック周期で量子化した標本化周期の予測標本化周期に対する誤差値を累積加算することにより、入力標本化周期とローカルクロック周期との比および上記出力標本化周期と上記ローカルクロック周期との比を予測演算する。そして、係数アドレス発生手段は、上記予測演算

実施例について、図面に従い詳細に説明する。

G、標本化周波数変換装置の全体構成

第1図のブロック図に示す実施例は、第1の標本化周波数($f_{s(1)}$)の入力サンプル列 $\{x_i\}$ を第2の標本化周波数($f_{s(2)}$)の出力サンプル列 $\{y_i\}$ に変換する標本化周波数変換装置に本発明を適用したもので、この実施例において、信号入力端子(1)には変換しようとする入力サンプル列 $\{x_i\}$ が供給され、第1のクロック信号入力端子(2)には上記入力サンプル列 $\{x_i\}$ の標本化周波数($f_{s(1)}$)すなわち入力標本化周波数を有する第1の標本化クロック信号($FS_{(1)}$)が供給され、さらに、第2のクロック信号入力端子(3)には信号出力端子(4)に得ようとする出力サンプル列 $\{y_i\}$ の標本化周波数($f_{s(2)}$)すなわち出力標本化周波数を有する第2の標本化クロック信号($FS_{(2)}$)が供給される。

この実施例の標本化周波数変換装置は、上記信号入力端子(1)に供給される入力サンプル列 $\{x_i\}$

について、その入力標本化周波数($f_{s(i,n)}$)の整数(2^M)倍(この実施例では $M=2$)のオーバーサンプリング処理を行うオーバーサンプリング部(5)と、上記オーバーサンプリング部(5)にて得られる上記入力標本化周波数($f_{s(i,n)}$)の4倍の標本化周波数($4 \cdot f_{s(i,n)}$)のサンプル列のサンプル値($x_{i,j}$)を一時記憶する第1のバッファメモリ(6)と、上記4倍の標本化周波数($4 \cdot f_{s(i,n)}$)に関するローパスフィルタのインパルス・レスポンス特性を与えるフィルタ係数によるデジタルフィルタリング処理を上記第1のバッファメモリ(6)から読み出されるサンプル列 $\{x_{i,j}\}$ に施すことにより出力標本化周波数($f_{s(o,n)}$)に変換したサンプル列 $\{y_j\}$ のサンプルポイントにおける補間サンプル値を算出するデジタル信号処理部(7)と、上記デジタル信号処理部(7)にて得られる上記出力標本化周波数($f_{s(o,n)}$)のサンプル列 $\{y_j\}$ の各補間サンプル値を一時記憶する第2のバッファメモリ(8)と、上記各バッファメモリ(6)、(8)やデジタル信号処理部(7)の動作タイミング

($f_{s(i,n)}$)の4倍の標本化周波数($4 \cdot f_{s(i,n)}$)に関するローパスフィルタのインパルス・レスポンス特性を与えるフィルタ係数を用いて積和演算を行うことにより、上記第1のバッファメモリ(6)から読み出されるサンプル列 $\{x_{i,j}\}$ に所望のデジタルフィルタリング処理を施すようになっている。例えば、上記デジタル信号処理部(7)は、その補間処理の一例を第2図に模式的に示してあるように、上記第1のバッファメモリ(6)を介して $4 \cdot f_{s(i,n)}$ なる転送レートで供給されるサンプル列 $\{x_{i,j}\}$ について、図示しない係数メモリに予め書き込まれている上記標本化周波数($4 \cdot f_{s(i,n)}$)に関するローパスフィルタのインパルス・レスポンス特性を与えるフィルタ係数セット $\{c(2^k)\}$ の中心アドレス(k_0)と得ようとする出力標本化周波数($f_{s(o,n)}$)の出力サンプル列 $\{y_j\}$ のサンプルポイント(k_j)が一致する状態で、上記サンプル列 $\{x_{i,j}\}$ の各サンプルポイントに対応する4個のフィルタ係数 $(c_{k_1}), (c_{k_2}), (c_{k_3}), (c_{k_4})$ を上記係数メモリから読み出して、上記サンプル

を与えるローカルクロック信号(f_c)を形成するローカルクロック発生部(9)と、上記第1および第2のクロック入力端子(2)、(3)に供給される各標本化クロック信号($f_{s(i,n)}$)、($f_{s(o,n)}$)にて与えられる各標本化周波数($f_{s(i,n)}$)、($f_{s(o,n)}$)情報および上記ローカルクロック信号(f_c)にて与えられるローカルクロック周波数(f_c)情報に基づいて、上記各バッファメモリ(6)、(8)やデジタル信号処理部(7)の動作制御を行う変換制御部(10)等にて構成されている。

G: 標本化周波数変換装置の各構成要素の説明

G-1: デジタル信号処理部

上記デジタル信号処理部(7)は、上記ローカルクロック発生部(9)にて与えられるローカルクロック信号(f_c)に基づいて動作するデジタル信号処理用プロセッサ(DSP)にて構成されており、上記変換制御部(10)の係数アドレス発生部(17)にて与えられる係数アドレスに応じて図示しない係数メモリから読み出される上記入力標本化周波数

列 $\{x_{i,j}\}$ の各サンプルポイントの4個のサンプル値 $(x_{i,j_1}), (x_{i,j_2}), (x_{i,j_3}), (x_{i,j_4})$ に乗算し、各乗算出力を加算する積和演算を行うことによって、出力サンプル列 $\{y_j\}$ のサンプルポイント(k_j)における補間サンプル値(y_j)を算出する。

G-2: ローカルクロック発生部

上記ローカルクロック発生部(9)は、 $f_c = K \cdot f_0$ なるローカルクロック周波数(f_c)で発振する水晶発振器等にて構成されている。上記 K は2のべき乗の整数(2^M)で、また、上記周波数(f_0)は入力サンプル列 $\{x_{i,j}\}$ の標本化周波数($f_{s(i,n)}$)および出力サンプル列 $\{y_j\}$ の標本化周波数($f_{s(o,n)}$)よりも高い周波数である。上記各標本化周波数($f_{s(i,n)}$)、($f_{s(o,n)}$)は一般的に48kHz近傍あるいはそれ以下の周波数で、上記周波数(f_0)は48kHz近傍に設定される。そして、上記ローカルクロック周波数(f_c)は、上記デジタル信号処理部(7)を構成するDSPチップに適した周波数で、出力サンプル列 $\{y_j\}$ の量子化誤差が1ステップ以

下となるデジタル・フィルタリング処理を上記デジタル信号処理部(7)にて行うことができる周波数に設定される。

G₂₋₁: 変換制御部

また、上記変換制御部(10)は、上記ローカルクロック発生部(10)から供給される上記ローカルクロック信号(P_c)を計数するK進カウンタ(11)、上記K進カウンタ(11)の計数出力に基づいて各標準化クロック信号($FS_{(1,n)}$), ($FS_{(0,n)}$)からローカルクロック周期($T_0 = 1/f_0$)と各標準化周期($TS_{(1,n)}$), ($TS_{(0,n)}$)との各相対時間差($dt_{q(1,n)}/T_0$), ($dt_{q(0,n)}/T_0$)を計測する第1および第2のイベント検出部(12), (13)や各種タイミング信号を形成するタイミング発生部(14)、上記各イベント検出部(12), (13)により計測される各相対時間差($dt_{q(1,n)}/T_0$), ($dt_{q(0,n)}/T_0$)に基づいて上記各標準化クロック信号($FS_{(1,n)}$), ($FS_{(0,n)}$)の各予測標準化周期($TS_{est(1,n)}/T_0$), ($TS_{est(0,n)}/T_0$)を演算する第1および第

2の適応予測処理部(15), (16)、上記各適応予測処理部(15), (16)にて得られる各予測標準化周期($TS_{est(1,n)}/T_0$), ($TS_{est(0,n)}/T_0$)に基づいて上述の係数アドレスを演算する係数アドレス発生部(17)等にて構成されている。

G₂₋₂₋₁: イベント検出部

上記各イベント検出部(12), (13)は、上記各クロック信号入力端子(2), (3)から供給される各標準化クロック信号($FS_{(1,n)}$), ($FS_{(0,n)}$)の各標準化周期($TS_{(1,n)}$), ($TS_{(0,n)}$)と上記ローカルクロック周期($T_0 = 1/f_0$)との各相対時間差($dt_{q(1,n)}$), ($dt_{q(0,n)}$)を計測するものであるが、実時間ではクロックジッタ等の影響により高精度に計測することができないので、この実施例では、上記各標準化クロック信号($FS_{(1,n)}$), ($FS_{(0,n)}$)について、上記各標準化周期($TS_{(1,n)}$), ($TS_{(0,n)}$)よりも短いローカルクロック周期($T_0 = 1/f_0$)毎に各エッジ部または同期パターンを検出して、上記各標準化周期($TS_{(1,n)}$), ($TS_{(0,n)}$)と上記ローカルクロック

周期(T_0)との各相対時間差($dt_{q(1,n)}$), ($dt_{q(0,n)}$)を上記ローカルクロック信号の周波数(P_c)で与えられる単位時間($T_c = 1/P_c$)の時間軸上で計測する演算処理を上記K進カウンタ(11)のカウント出力に基づいて行うようにしている。

すなわち、上記各イベント検出部(12), (13)を代表して第1のイベント検出部(12)における演算処理の機能構成を示す第3図のブロック図において、入力標準化周期($TS_{(1,n)}$)情報が与えられる加算器(21)は、上記入力標準化周期($TS_{(1,n)}$)情報をレジスタ(22)に一時記憶されている1標準化周期($TS_{(1,n)}$)前の相対時間差($dt_{(1,n-1)}$)情報に加算する累加加算演算を行い、その加算出力情報として上記入力標準化周期($TS_{(1,n)}$)とローカルクロック周期(T_0)との相対時間差(dt)を示す計測情報を形成し、この相対時間差(dt)情報を上記レジスタ(22)に供給するとともに量子化回路(23)に供給する。そして、上記量子化回路(23)は、第4図に示すように、上記加算器(21)の加算出力として与えられる相対時間差(dt)情報を上記ローカルクロック信

号の周波数(P_c)で与えられる単位時間(T_c)の時間軸上で計測して、上記相対時間差(dt)情報を上記ローカルクロック周期(T_0)に対する比で示す測定相対時間差(dt_q/T_0)を算出して出力する。

G₂₋₂₋₂: 適応予測処理部

上記各イベント検出部(12), (13)にて得られる各計測相対時間差($dt_{q(1,n)}/T_0$), ($dt_{q(0,n)}/T_0$)情報が供給される上記第1および第2の適応予測処理部(15), (16)では、計測相対時間差(dt_q/T_0)情報に基づいて、入力標準化周期($TS_{(1,n)}$)および出力標準化周期($TS_{(0,n)}$)を上記ローカルクロック周期(T_0)に対する比で示す予測入力標準化周期($TS_{est(1,n)}/T_0$)および予測出力標準化周期($TS_{est(0,n)}/T_0$)をそれぞれ算出する演算処理を行う。

すなわち、上記各適応予測処理部(15), (16)を代表して第1の適応予測処理部(15)の機能構成を示す第5図のブロック図において、上記計測相対時間差(dt_q/T_0)情報が与えられる第1の加算器

(51)は、第2の加算器(52)の加算出力として与えられる予測相対時間差(dt_{n+1}/T_0)情報を上記計測相対時間差(dt_n/T_0)情報から減算して、上記予測相対時間差(dt_{n+1}/T_0)情報に対する上記計測相対時間差(dt_n/T_0)情報の誤差を算出する。そして、上記第1の加算器(51)にて得られる誤差情報をエラーモニタリング部(53)にて観測して、第6図に示すように、計算処理部(54)により上記誤差情報に基づいて計算される次の予測標本位置に対する補正情報 $\Delta(Ts_{n+1}/T_0)$ が第3の加算器(55)に与えられるようになっている。

上記第3の加算器(55)は、第1のレジスタ(56)を介して帰還される1予測入力標本化周期(Ts_{n+1})前の予測入力標本化周期($Ts_{n+1, (n)}$)の予測相対時間差($dt_{n+1, (n)}/T_0$)情報に上記補正情報 $\Delta(Ts_{n+1}/T_0)$ を加算することにより予測入力標本化周期($Ts_{n+1, (n)}/T_0$)を算出して出力する。なお、上記第1のレジスタ(56)には、上記第3の加算器(52)の出力すなわち予測入力標本化周期($Ts_{n+1, (n)}/T_0$)情報の初期値(T_{00})情報が予め与えられている。

にしている。

このように、上記第3の加算器(55)にて得られる予測入力標本化周期($Ts_{n+1, (n)}/T_0$)情報を上記第2の加算器(52)に与えて予測相対時間差(dt_{n+1}/T_0)を算出するとともに、上記第2の加算器(52)にて得られる予測相対時間差(dt_{n+1}/T_0)情報に対する上記計測相対時間差(dt_n/T_0)情報の誤差を上記第1の加算器(51)にて算出し、上記第1の加算器(51)にて得られる誤差情報に基づいて上記計算処理部(54)により計算される補正情報 $\Delta(Ts_{n+1}/T_0)$ を上記第3の加算器(55)に帰還して上記予測入力標本化周期($Ts_{n+1, (n)}/T_0$)を補正することにより、相対時間差(dt_n)の直接量子化計測にて得られる相対時間差情報に基づいてフィドルタを用いない適応予測により極めて正確な予測入力標本化周期($Ts_{n+1, (n)}/T_0$)情報を得ることができる。また、上記予測相対時間差(dt_{n+1}/T_0)情報は、正確な予測入力標本化周期($Ts_{n+1, (n)}/T_0$)にて更新することにより、長い時間に亘って測定相対時間差(dt_n)の観測範囲内にあるように

そして、上記第3の加算器(55)にて得られる上記予測入力標本化周期($Ts_{n+1, (n)}/T_0$)情報は、上記第1のレジスタ(56)と第2の加算器(52)に与えられる。

また、上記第2の加算器(52)は、第2のレジスタ(57)を介して帰還される1予測入力標本化周期($Ts_{n+1, (n)}$)前の予測相対時間差($dt_{n+1, (n)}/T_0$)情報に上記予測入力標本化周期($Ts_{n+1, (n)}/T_0$)情報を加算することにより、予測相対時間差($dt_{n+1, (n)}/T_0$)情報を算出して出力する。なお、上記第2のレジスタ(57)には、上記第2の加算器(52)から出力する予測相対時間差(dt_{n+1}/T_0)情報の初期値(dt_{00})情報が予め与えられている。

そして、上記第2の加算器(52)の出力すなわち上記予測相対時間差(dt_{n+1}/T_0)情報は、上記第2のレジスタ(57)と第1の加算器(51)に与えている。

ここで、上記各レジスタ(56)、(57)に与えられる各初期値(dt_{00})、(Ts_{00})情報は、例えば相対時間差(dt_n)の直接量子化計測により得られるよう

保証される。なお、上記補正情報 $\Delta(Ts_{n+1}/T_0)$ による補正は、上記予測入力標本化周期($Ts_{n+1, (n)}/T_0$)情報に過度の変化を与えて位相反転や歪みが発生しない範囲で行われる。

なお、測定相対時間差(dt_n)に対して予測相対時間差(dt_{n+1})がどこにあるというイベントの履歴は、予測入力標本化周期($Ts_{n+1, (n)}/T_0$)を適正に補正するための計算にも用いることができる。例えば、予測入力標本化周期($Ts_{n+1, (n)}$)を一定として、予測相対時間差(dt_{n+1})が測定相対時間差(dt_n)の範囲以下の値から該測定相対時間差(dt_n)の範囲以上の値に変化するのに、500サンプル分かつたとすると、現在の予測入力標本化周期($Ts_{n+1, (n)}$)との誤差は測定相対時間差(dt_n)の量子化ステップの1/500と予測することができる。

また、上記予測入力標本化周期($Ts_{n+1, (n)}$)の変化を監視しての更に複雑な場合にも、勿論、更に複雑なアルゴリズムによって処理することができる。

G_{2.1.1}: 係数アドレス発生部

上記各適応予測処理部(15)、(16)における上述の如き演算処理によりそれぞれ得られる予測入力標本化周期($T_{s_{out}(in)}/T_0$) 情報および予測出力標本化周期($T_{s_{out}(out)}/T_0$) 情報が供給される上記係数アドレス発生部(17)では、上記予測入力標本化周期($T_{s_{out}(in)}/T_0$) と予測出力標本化周期($T_{s_{out}(out)}/T_0$) との比から、上述のデジタル信号処理部(7)において補間処理に必要な4個のフィルタ係数(c_1), (c_2), (c_3), (c_4) を係数メモリから読み出すための係数アドレスを次のようにして発生する。

すなわち、上述の標本化周波数($4 \cdot f_{s(in)}$) に関するローパスフィルタのインパルス・レスポンス特性を与えるフィルタ係数セット $\{c(2^k)\}$ が予め書き込まれている図示しない係数メモリのサイクリックなアドレス空間に関する各四分円に対して、上記係数アドレス発生部(17)では、先ず、上記アドレス空間を示すアドレス変数(x) の初期

この場合、上記 $x = [x + 0.25] \bmod 1$ の演算は、 $f_{s(out)} > f_{s(in)}$ のアップ変換モードの場合、実際上の比率($f_{s(out)}/f_{s(in)} < 1$) を2進分数に等しい量子化ステップで計算することによってmod演算を不要にし、しかも、実際には、

$$T_{s_{out}}/T_0 > 1$$

なる比の値と

$$T_{s(in)}/T_0 > 1$$

なる比の値を上記各適応予測処理部(15)、(16)にて予測入力標本化周期($T_{s_{out}(in)}/T_0$) および予測出力標本化周期($T_{s_{out}(out)}/T_0$) として演算し、上記係数アドレス発生部(17)では、第7図に示すような機能構成により演算処理を行うことによって、上記各標本化周期($T_{s_{out}(in)}/T_0$), ($T_{s_{out}(out)}/T_0$) 情報に基づいて各係数アドレスを算出する際に、

$$[f_{s(out)}/f_{s(in)}] = [f_{s(out)}/T_0] \cdot 2^k / [f_{s(in)}/T_0]$$

なる実際の計算によって、上記出力標本化周期($f_{s(out)}$) と入力標本化周期($f_{s(in)}$) との比を正

値として第1四分円の区間(0~0.25) に位置するフィルタ係数(c_1) を読み出す係数アドレス(A_1) を与え、

$$x_{(A2)} = [x_{(A1)} + 0.25] \bmod 1$$

の演算にて第2四分円における係数アドレス(A_2) を与え、

$$x_{(A3)} = [x_{(A2)} + 0.25] \bmod 1$$

の演算にて第3四分円における係数アドレス(A_3) を与え、

$$x_{(A4)} = [x_{(A3)} + 0.25] \bmod 1$$

の演算にて第4四分円における係数アドレス(A_4) を与える。

そして、次の、サンプルポイントの値の演算に必要な係数アドレスの演算処理では、オーバーフローがあれば

$$x_{(A1)} = [x_{(A4)} - T_{s(out)}] \bmod 1$$

の演算にて第1四分円における係数アドレス(A_1) を与え、また、オーバーフローがない場合には、

$$x_{(A1)} = [x_{(A4)} + 0.25] \bmod 1$$

の演算にて上記係数アドレス(A_1) を与える。

規化された高い精度の値 $[f_{s(out)}/f_{s(in)}]$ として得るようにしている。

上記係数アドレス発生部(17)における演算処理の機能構成を示す第7図において、上記予測入力標本化周期($T_{s_{out}(in)}/T_0$) 情報および予測出力標本化周期($T_{s_{out}(out)}/T_0$) 情報が除算器(71)に供給されており、この除算器(71)による除算出力($f_{s_{out}(out)}/f_{s_{out}(in)}$) が供給される加算器(72)にて、レジスタ(73)およびオーバーフローチェック回路(74)を介して帰還される1周期前の係数アドレスデータおよびそのオーバーフローチェックデータ(2^k)を累積加算することによって新たな係数アドレスデータを算出している。また、上記オーバーフローチェック回路(74)によるオーバーフローチェックデータは、上述のデジタル信号処理部(7)における補正処理に必要なサンプル列($x_{(i)}$)のサンプル値($x_{(i)}$)の2回読み出し等の上述の第1のバッファメモリ(6)の制御に用いられている。

H 発明の効果

本発明に係る標本化周波数変換装置では、入力サンプル列をオーバーサンプリング処理により入力標本化周波数の整数(2^N)倍の標本化周波数変換したサンプル列に対して、入力標本化周期および出力標本化周期よりも短いローカルクロック周期で動作するデジタル信号処理手段にて、上記入力標本化周波数の 2^N 倍の標本化周波数に関するローパスフィルタのインパルス・レスポンス特性を与えるフィルタ係数による補間演算処理を施すことにより、出力サンプルポイントにおける補間サンプル値を高い精度で演算することができる。また、この標本化周波数変換装置では、予測演算手段にてローカルクロック周期で量子化した標本化周期の予測標本化周期に対する誤差値を累積加算することにより、入力標本化周期とローカルクロック周期との比および上記出力標本化周期と上記ローカルクロック周期との比を予測演算し、係数アドレス発生手段が、上記予測演算手段にて得られる上記ローカルクロック周期に対する上記

入力標本化周期および上記出力標本化周期の各比データを除算して、その値を累積加算することにより、ステップ状の位相誤差に対しても制御エラーを発生することなく上記補間処理に必要なフィルタ係数アドレスデータを高い精度で算出することができる。さらに、この標本化周波数変換装置におけるメモリ制御手段では、上記予測演算手段あるいは係数アドレス発生手段における各累積加算処理のオーバーフローを検出して、上記オーバーサンプリング処理により得られるサンプル列のサンプル値を一時記憶する第1のバッファメモリおよび上記補間演算処理により得られる出力サンプルポイントの各サンプル補間値を一時記憶する第2のバッファメモリに対する書き込み読み出し制御を上記各累積加算処理のオーバーフロー検出力に応じて行って、所望のタイミングで各サンプル列を上記各バッファメモリから読み出すことができ、簡単な構成で、任意の変換比の標本化周波数変換を高い精度で行うことができる。

4. 図面の簡単な説明

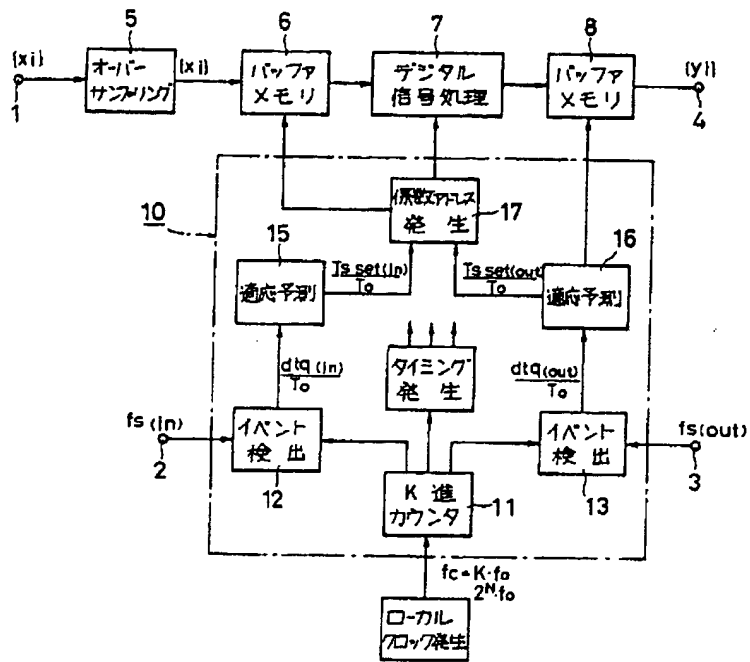
第1図は本発明に係る標本化周波数変換装置の構成を示すブロック図、第2図は上記標本化周波数変換装置を構成するデジタル信号処理部の動作を説明するための模式図、第3図は上記標本化周波数変換装置を構成するイベント検出部の機能構成を示すブロック図、第4図は上記イベント検出部の動作を説明するための模式図、第5図は上記標本化周波数変換装置を構成する適応予測処理部の機能構成を示すブロック図、第6図は上記適応予測処理部の動作を説明するための模式図、第7図は上記標本化周波数変換装置を構成する係数アドレス発生部の機能構成を示すブロック図である。

第8図は従来の標本化周波数変換装置の構成例を示すブロック図、第9図は上記従来の標本化周波数変換装置における入力サンプル列と出力サンプル列の位相関係を示す模式図、第10図および第11図は上記従来の標本化周波数変換装置における直線補間処理動作およびデジタルフィル

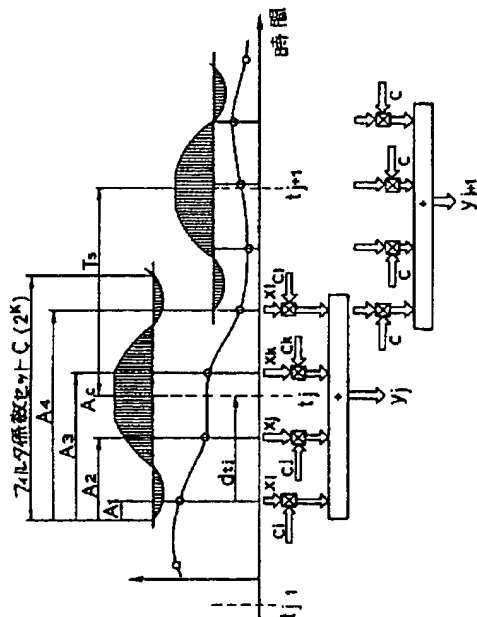
タリング処理動作を説明するための各模式図である。

- (1) 信号入力端子
- (2), (3) クロック入力端子
- (4) 信号出力端子
- (5) オーバーサンプリング部
- (6), (8) バッファメモリ
- (7) デジタル信号処理部
- (9) ローカルクロック発生部
- (10) 変換制御部
- (12), (13) イベント検出部
- (15), (16) 適応予測処理部
- (17) 計数アドレス発生部

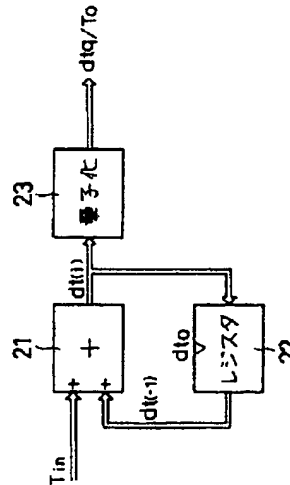
特許出願人 ソニー株式会社
代理人 弁理士 小池 晃
同 田村 榮一
同 佐藤 勝



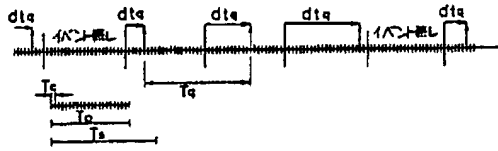
標準化周波数変換装置の構成
第 1 図



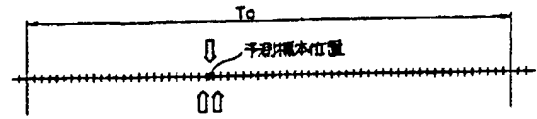
デジタルフィルタタイミング処理
第 2 図



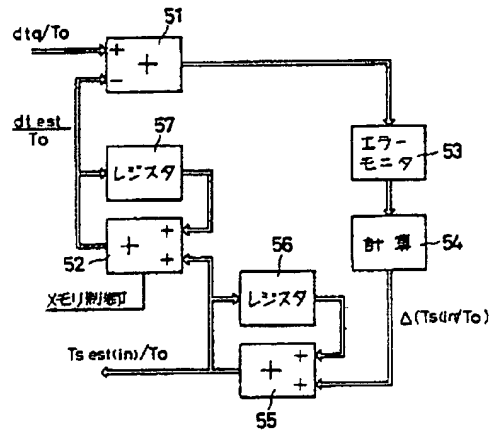
イベント検出部の機能構成
第 3 図



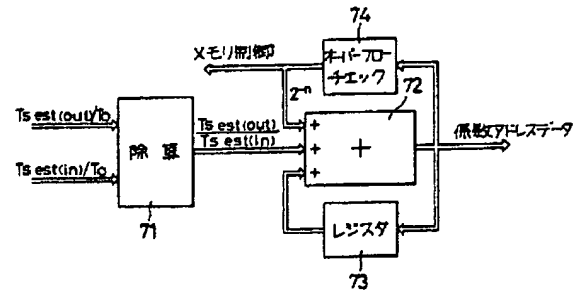
第 4 図



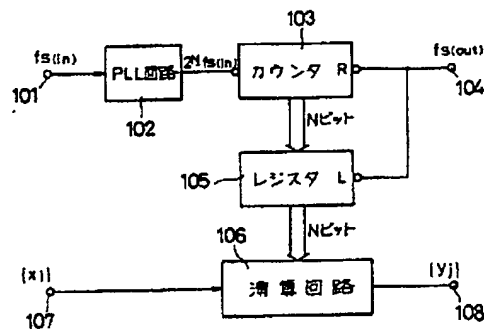
第 6 図



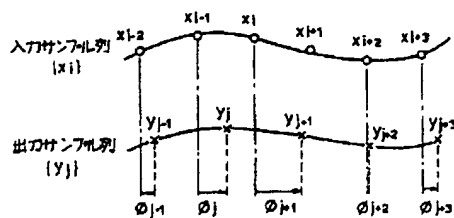
適応予測処理部の機能構成
第 5 図



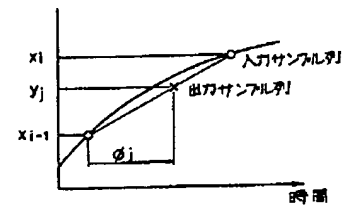
係数アドレス発生部の機能構成
第 7 図



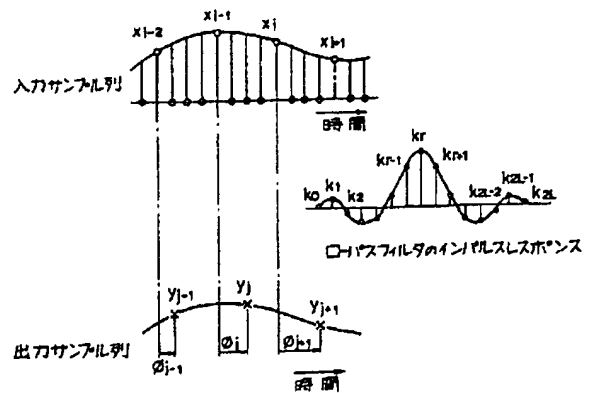
従来の標準化周波数変換装置
第 8 図



第 9 図



第 10 図



第 11 図